

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2002年6月27日 (27.06.2002)

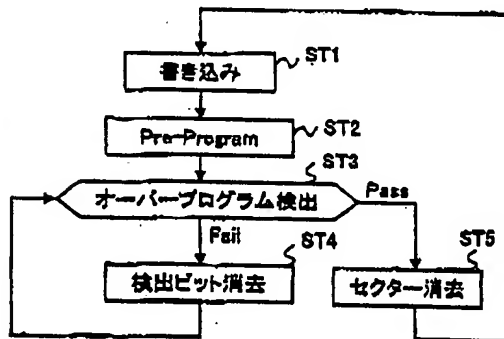
PCT

(10) 国際公開番号
WO 02/50843 A1

- (51) 国際特許分類: G11C 16/00 中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP00/09109
- (22) 国際出願日: 2000年12月21日 (21.12.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 高橋 聡 (TAKA-HASHI, Satoshi) [JP/JP]; 〒211-8588 神奈川県川崎市
- (74) 代理人: 伊東忠彦 (ITO, Tadahiko); 〒150-6032 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階 Tokyo (JP).
- (81) 指定国 (国内): JP, KR, US.
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: NONVOLATILE SEMICONDUCTOR MEMORY AND METHOD OF ERASURE

(54) 発明の名称: 不揮発性半導体記憶装置及びデータ消去方法



ST1...WRITE
ST3...DETECT OVER-PROGRAMMING
ST4...ERASE DETECTION BIT
ST5...ERASE SECTOR

(57) Abstract: The invention provides a semiconductor memory having a good rewriting characteristic independent of over-programming. A nonvolatile semiconductor device includes a memory cell array and a reference cell that provides a reference level, which is a criterion for determining whether the data in the memory cell array are over-programmed.

(57) 要約:

本発明は、オーバープログラムの影響を受けない良好な書き換え特性を有した半導体記憶装置を提供することを目的とする。不揮発性半導体記憶装置は、メモリセル配列と、メモリセル配列のデータがオーバープログラム状態であるか否かを判定するための比較対象である基準レベルを提供する参照セルを含むことを特徴とする。

WO 02/50843 A1

明細書

不揮発性半導体記憶装置及びデータ消去方法

5 技術分野

本発明は、一般に半導体記憶装置に関し、詳しくはバーチャルグランドアレイで形成されるNOR型不揮発性半導体記憶装置に関する。

背景技術

- 10 フラッシュメモリでは、セクタ単位で消去を実行する場合、消去前にセクタ内の全ビットの書き込み（以下プリプログラムと呼ぶ）を実行し、その後消去を実行する。

- 電荷（電子）をメモリセルに書き込むプログラム動作を実行する場合には、確実にメモリセルに電荷が注入されたかを確認するペリファイ動作を実行し、ペリ
15 ファイ結果がパスになるまで繰り返してプログラム動作を実行する。またメモリセルから電荷（電子）を抜き取るイレーズ動作を実行する場合も同様であり、確実にメモリセルから電荷が取り除かれたかを確認するペリファイ動作を実行し、ペリファイ結果がパスになるまで繰り返してイレーズ動作を実行する。

- 一般的に、読み出し時のマージンを確保するために、プログラム動作及びイレ
20 ーズ動作においては、それぞれ異なるレベルでペリファイを実行する。プログラム後のセルはプログラムペリファイレベル以上に分布する閾値を有し、イレーズ後のセルはイレーズペリファイレベル以上に分布する閾値を有することになる。

- 書き込み動作の結果、セルトランジスタの閾値が高すぎる状態になる場合（以下オーバープログラムと呼ぶ）がある。NOR型フラッシュメモリではオーバー
25 プログラムを起しても、読み出し動作自体には影響がない。しかし深く書き込まれたセル（オーバープログラムセル）を消去するためにイレーズ動作を多数回実行することになるので、一括的に消去される他のセルが過消去されてしまう結果となる。また書き込みを繰り返すにつれて消去後の閾値分布が広くなり、消去時間の増大につながってしまう場合がある。特に窒化膜に電荷を蓄えるタイプのフ

WO 02/30843

PCT/JP00/09109

ラッシュメモリにおいては、オーバープログラムによる消去時間増大への影響は非常に大きい。

以上を鑑みて、本発明は、オーバープログラムの影響を受けない良好な書き換え特性を有した半導体記憶装置を提供することを目的とする。

5

発明の開示

本発明によれば、不揮発性半導体記憶装置は、メモリセル配列と、該メモリセル配列のデータがオーバープログラム状態であるか否かを判定するための比較対象である基準レベルを提供する参照セルを含むことを特徴とする。

- 10 上記不揮発性半導体記憶装置は比較回路を更に含み、該メモリ配列のデータを該参照セルの基準レベルと比較するように該比較回路を制御し比較結果がオーバープログラム状態を示すときに該メモリセル配列内のオーバープログラム状態であるメモリセルに対してイレース動作を実行する制御回路を更に含むことを特徴とする。

- 15 また上記不揮発性半導体記憶装置においては、該制御回路は、該メモリセル配列の消去動作シーケンス中の全ビット書き込みが終了した後に、該メモリ配列のデータを該参照セルの基準レベルと比較するように該比較回路を制御し、比較結果がオーバープログラム状態を示すときに該メモリセル配列内のオーバープログラム状態であるメモリセルに対してイレース動作を実行することを特徴とする。

- 20 上記発明においては、消去動作シーケンス中のプリプログラム後に、メモリセル毎にオーバープログラム状態の検出を行い、オーバープログラムであると判断されたセルに対してはオーバープログラムでなくなるまでイレース処理を実行する。これによって、セクタ単位でイレース処理を適用する前の段階で確実にオーバープログラム状態のメモリセルを無くすることが可能となり、一括消去による過
- 25 消去を抑制することが出来ると共に、消去後の閾値分布の広がりを抑えて消去時間の増大を避けることが出来る。なおこのオーバープログラム検出処理は、通常の書き込み処理の後には実行せずに、プリプログラム後にのみ実行することが好ましい。オーバープログラムは書き込みセルの読み出し自体には影響しないので、消去シーケンスでオーバープログラム補正処理をしたほうが時間的な効率がよい。

また上記不揮発性半導体記憶装置のある実施形態においては、メモリセル配列は窒化膜に電荷を蓄えることでデータを記憶するメモリセルトランジスタを含むことを特徴とする。このようなメモリセルトランジスタは、窒化膜の両端に電荷を蓄えることで2ビットを独立に記憶可能である。

- 5 しかし電荷捕獲層として窒化膜を使用しているので、オーバープログラム状態では電荷が空間的広がりを持てず、一回の消去動作で空間的に広がった電荷を十分に消去することが出来なくなってしまう。従って、オーバープログラム状態を検出して補正する本発明の構成は、窒化膜を用いた不揮発性半導体記憶装置において、消去時間の増大を抑制する上で極めて効果的である。

10

図面の簡単な説明

- 図1は、本発明による半導体記憶装置の構成を示すブロック図である。
 図2は、本発明による参照セルの構成を示す回路図である。
 図3は、本発明によるリファレンスレベルを模式的に示す図である。
 15 図4は、本発明による書き込み処理を示すフローチャートである。
 図5は、オーバープログラム補正をする際の電圧印加の一例を示す図である。
 図6は、ビットラインが拡散層で形成されるパーチャルグランドアレイ型のフラッシュメモリのセル断面図である。
 図7は、電荷捕獲層として窒化膜を使用した不揮発性半導体記憶装置のメモリ
 20 セル部分の断面図である。

発明を実施するための最良の形態

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

- 図1は、本発明による半導体記憶装置の構成を示すブロック図である。
 25 図1の半導体記憶装置10は、コマンドレジスタ&ステート制御ユニット11、入出力バッファ12、アドレスラッチ13、Xデコーダ14、Yデコーダ15、セル配列16、センスアンプ（比較回路）17、参照セル18、電圧供給ユニット19、スイッチ20、ポンプ回路21、及びスイッチ22を含む。
 コマンドレジスタ&ステート制御ユニット11は、制御信号及びコマンドを外

WO 02/50843

PCT/JP00/09109

部から受け取り、コマンドレジスタとしてコマンドを格納する。コマンドレジスタ&ステート制御ユニット11は更に、制御信号及びコマンドに基づいてステートマシンとして動作して、半導体記憶装置10の各部の動作を制御する。

- 入出力バッファ12は、外部からデータを受け取り、このデータをセンスアンプ（比較回路）17に供給する。アドレスラッチ13は、外部から供給されるアドレス信号を受け取りラッチすると共に、このアドレス信号をXデコーダ14及びYデコーダ15に供給する。Xデコーダ14は、アドレスラッチ13から供給されたアドレスをデコードして、セル配列16に設けられたワード線をデコード結果に応じて活性化させる。Yデコーダ15は、アドレスラッチ13から供給されたアドレスをデコードして、デコードアドレス信号に基づいて、セル配列16のビット線を選択的にセンスアンプ（比較回路）17に接続する。これによってセル配列16に対するデータの読み出し／書き込み経路が確立される。

- セル配列16は、メモリセルの配列、ワード線、ビット線等を含み、各メモリセルに情報を記憶する。データ読み出し時には、活性化ワード線で指定されるメモリセルからのデータが、Yデコーダ15に供給される。プログラム或いはイレーズ時には、ワード線及びビット線をそれぞれの動作に応じた適当な電位に設定することで、メモリセルに対する電荷注入或いは電荷抜き取りの動作を実行する。

- センスアンプ（比較回路）17は、Yデコーダ15を介してセル配列16から供給されたデータのレベルを、参照セル18の示す基準レベルと比較することで、データが0であるか1であるかの判定を行う。判定結果は読み出しデータとして、入出力バッファ12に供給される。またプログラム動作及びイレーズ動作に伴うベリファイ動作も、Yデコーダ15を介してセル配列16から供給されたデータのレベルを、参照セル18の示す基準レベルと比較することで行われる。

- 参照セル18は、参照用のメモリセルを含む。参照セル18は、コマンドレジスタ&ステート制御ユニット11の制御下で動作して、データ判定に際して使用される基準レベルを参照用メモリセルにより生成し、センスアンプ（比較回路）17に供給する。

電圧供給ユニット19は、イレーズ動作時にワード線に印加する負の高電位NEG、プログラム動作時にワード線に印加する高電位VPP、及び読み出し動作

時にワード線に印加する読み出し電位READをスイッチ回路20に供給する。スイッチ回路20は、コマンドレジスタ&ステート制御ユニット11の制御下で動作し、電圧供給ユニット19から供給される複数の電位のうちで指定された動作に対応する電位を選択して、Xデコーダ14に供給する。

- 5 ポンプ回路21は、オシレータ及び容量結合を利用した回路によって、電源電圧以上の高電圧を生成し、スイッチ回路22に供給する。スイッチ回路22は、コマンドレジスタ&ステート制御ユニット11の制御下で動作し、ポンプ回路21が生成する高電圧をYデコーダ15に供給する。これによりYデコーダ15は、プログラム動作時及びイレーズ動作時に、メモリセルのドレイン側ビット線を高電圧に設定する。

- 10 本発明においては、参照セル18は、読み出し動作の参照セルと、プログラム動作の参照セルと、イレーズ動作の参照セルと、オーバプログラム用の参照セルを含む。参照セル18は、このオーバプログラム用の参照セルによって、オーバプログラムを検出するためのオーバプログラム基準電位を生成する。コマンドレジスタ&ステート制御ユニット11は、消去動作時に、オーバプログラム状態のセルを検出するオーバプログラム検出動作をプリプログラム後に実行して、オーバプログラム状態のセルを検出し、そのセルに対してイレーズ動作を独立して実行することで、オーバプログラム状態を解消する。

図2は、参照セル18の構成を示す回路図である。

- 20 図2に示されるように、参照セル18は、イレーズ動作の参照セル31、プログラム動作の参照セル32、イレーズ動作の参照セル33、及びオーバプログラム用の参照セル34を含む。参照セル31は、イレーズベリファイ動作中に活性化される電位ERVをゲート入力として受け取り、イレーズベリファイ動作時に参照対象となる基準電流或いは基準電位をセンスアンプ17に供給する。
- 25 参照セル32は、プログラムベリファイ動作中に活性化される電位PGMVをゲート入力として受け取り、プログラムベリファイ動作時に参照対象となる基準電流或いは基準電位をセンスアンプ17に供給する。参照セル33は、読み出し動作中に活性化される電位READをゲート入力として受け取り、動作時に参照対象となる基準電流或いは基準電位をセンスアンプ17に供給する。参照セル34

は、オーバープログラム検出動作中に活性化される電位OPGMVをゲート入力として受け取り、オーバープログラム検出動作時に参照対象となる基準電流或いは基準電位をセンスアンプ17に供給する。

図8は、本発明によるリファレンスレベルを模式的に示す図である。

- 5 図8の横軸は、セルトランジスタのゲート電圧 V_g を示し、縦軸は、セルトランジスタのドレイン電流 I_d を示す。参照セル18のイレース動作の参照セル31が示す基準レベルは、 $V_g - I_d$ 特性41として示されるようなレベルである。同様に参照セル18の参照セル32乃至34が示す基準レベルは、 $V_g - I_d$ 特性42乃至44として示されるようなレベルである。
- 10 まずプログラム動作を行うときには、センスアンプ17は、セル配列16中のプログラムしたメモリセルからのデータを、 $V_g - I_d$ 特性43で示されるプログラムベリファイ用の基準レベルと比較して、ベリファイ動作を実行する。メモリセルのデータがプログラムベリファイ用の参照電位よりも高い電位を示すと、このメモリセルは確実にプログラム("0"データ書き込み)されたものと判断される。
- 15 またイレース動作を実行するときは、センスアンプ17は、セル配列16中のイレースしたメモリセルからのデータを、 $V_g - I_d$ 特性41で示されるイレースベリファイ用の参照レベルと比較して、ベリファイ動作を実行する。メモリセルのデータがイレースベリファイ用の参照電位よりも低い電位を示すと、このメモリセルは確実にイレース("1"データ書き込み)されたものと判断される。
- 20 プログラム動作の場合もイレース動作の場合も、ベリファイ結果がフェイルのときには、結果がパスするまで繰り返しプログラム或いはイレース動作を実行する。
- メモリセルが上記のようにプログラム或いはイレースされた後に、そのメモリセルに対する読み出し動作が実行されると、センスアンプ17はセル配列16からの読み出しデータを、 $V_g - I_d$ 特性42で示される読み出し動作の参照レベルと比較する。読み出しデータが参照電位より高い電位を示した場合にはプログラム状態と判断し、読み出しデータが参照電位より低い電位を示した場合にはイレース状態と判断する。
- 25

本発明では上記の動作に加えて、プリプログラム後にオーバープログラム検出処理を実行する。このオーバープログラム検出処理においては、センスアンプ1

7 は、セル配列 16 中の対象メモリセルからのデータを、 $V_g - I_d$ 特性 44 で示されるオーバープログラム検出用の参照レベルと比較する。メモリセルのデータがオーバープログラム検出用の参照電位よりも高い電位を示すと、このメモリセルはオーバープログラム状態であると判断される。

- 5 図 4 は、本発明による書き込み処理を示すフローチャートである。なおこのフローチャートに示す処理は、図 1 のコマンドレジスタ & ステート制御ユニット 11 が、半導体記憶装置 10 内の関連する部分を制御することにより実行される。

ステップ ST1 で、書き込み処理が実行される。

- 10 ステップ ST2 で、プリプログラム動作を実行する。即ち、セクタ単位での消去を実行するために、消去前にセクタ内の全セルのプログラム動作を実行する。

- ステップ ST3 で、各セルに対してオーバープログラムを検出する。即ち、図 2 及び図 3 を参照して説明したように、図 1 のセンスアンプ 17 は、セル配列 16 中の対象メモリセルの特性を、図 2 に示される参照セル 18 のオーバープログラム検出用参照セル 34 の特性、即ち図 3 に示すような $V_g - I_d$ 特性 44 と比較する。メモリセルのデータがオーバープログラム検出用の参照電位よりも高い電位を示すと、このメモリセルはオーバープログラム状態であると判断される。

- 15 ステップ ST4 で、オーバープログラム状態であると判断されたメモリセルに対して、ビット消去処理が実行される。即ち、当該メモリセルに対して、オーバープログラムを補正するためにイレース動作を実行する。この後、処理はステップ ST3 に戻り再度オーバープログラム検出処理を実行する。

20 ステップ ST3 で、全てのメモリセルがオーバープログラム状態ではないと判断されると、処理はステップ ST5 に進む。

ステップ ST5 で、セクタ単位での消去動作が実行される。

以上で処理を終了する。

- 25 このように本発明においては、セクタ単位で消去する際に、プリプログラム後にメモリセル毎にオーバープログラム状態の検出を行い、オーバープログラムであると判断されたセルに対してはオーバープログラムでなくなるまでイレース処理を実行する。これによって、セクタ単位でイレース処理を適用する前の段階で確実にオーバープログラム状態のメモリセルを無くすることが可能となり、一括消

去による過消去を抑制することが出来ると共に、消去後の閾値分布の広がりを抑えて消去時間の増大を避けることが出来る。なお本発明において、オーバープログラム検出処理は、通常の書き込み処理の後には実行せずに、プリプログラム後にのみ実行する。これは、オーバープログラムは書き込みセルの読み出し自体には影響しないために、消去シーケンスで処理したほうが時間的な効率がよいことが理由である。

図5は、オーバープログラム補正をする際の電圧印加の一例を示す図である。

図5は、バーチャルグラウンドアレイで形成されるセル配列を示す。このセル配列は、縦横に配置されドレイン或いはソースビット線を共有する複数のメモリセルトランジスタ51を含む。メモリセルトランジスタ51のドレイン或いはソースビット線B1乃至B8は、Yデコーダ15に接続される。またXデコーダ14から延展するワード線WL1乃至WL3は、メモリセルトランジスタ51のゲートに接続される。

図5において、点線で囲まれるメモリセルトランジスタ51がオーバープログラム状態にあるとすると、このメモリセルトランジスタ51のドレイン側に正電圧（例えば5V）を印加して、ソース側をフローティング状態Fとして、更にゲートに負電圧（例えば-5V）を印加することで、このメモリセルトランジスタ51のオーバープログラム補正を実行することが出来る。

図6は、ビットラインが拡散層で形成されるバーチャルグラウンドアレイ型のフラッシュメモリに対して、そのセル断面図を示す。

図6のフラッシュメモリセルは、ポリシリコンよりなるワード線（ゲート）61、ポリシリコンよりなるフローティングゲート62、酸化膜よりなるビットラインオキサイド63、及び埋め込み拡散層64を含む。図5に示すような電位状態に設定するために、ワード線61を-5Vに、一方の拡散層64をフローティング状態Fに、また他方の拡散層64を5Vに設定すると、図6に矢印で示すように5Vに設定したビットラインの両側のトランジスタにおいて、フローティングゲート62から電荷eが消去されてしまう。しかし本発明においては、オーバープログラム補正はプリプログラム後に実行するので、既にデータは無用となっている状態であり、電荷が消去されても特に問題にはならない。

上述のように、本発明はオーバープログラム状態を検出してオーバープログラム補正をすることにより過消去を抑制する構成を特徴とするが、このような構成は、電荷捕獲層として窒化膜を使用したフラッシュメモリ等において効果が大きい。これは、電荷捕獲層として窒化膜を使用した場合には、電荷捕獲層内で電荷が移動しないことが原因である。即ち電荷が移動しないために、オーバープログラム状態では電荷が空間的広がりを持てず、一回の消去動作で空間的に広がった電荷を十分に消去することが出来なくなってしまう。従って、オーバープログラム状態になると、消去時間が大幅にかかってしまうことになる。

図7は、電荷捕獲層として窒化膜を使用した不揮発性半導体記憶装置のメモリセル部分の断面図である。

図7の構成は、埋め込み拡散層110、ワード線111、電荷捕獲層112、ビットラインオキサイド113を含む。電荷捕獲層112は、窒化膜114及び酸化膜115を含むONO (Oxide Nitride Oxide) 構成となっている。これによって、電荷捕獲層12にホットエレクトロンを格納可能なメモリセルトランジスタが形成される。ワード線111がメモリセルトランジスタのゲートに対応し、埋め込み拡散層110がメモリセルトランジスタのソース及びドレインに対応することになる。

あるメモリセルトランジスタに対応する2つの埋め込み拡散層110のうち、一方をドレインとして高電圧（例えば5V）を印加して、他方をソースとして基準電位（例えば電源グランドVSS）に接続する。更にこのメモリセルトランジスタに対応するワード線111に高電圧（例えば10V）を印加すると、ドレイン側（高電圧が印加されている側）の埋め込み拡散層110の付近にホットエレクトロンが発生し、電荷eが電荷捕獲層112に注入される。この際、電荷捕獲層112内で電荷eが蓄えられる位置は、ドレインとして高電圧が印加されている埋め込み拡散層110に近い側である。

次に、上記のドレイン側を今回はソース側として基準電位に接続し、上記のソース側を今回はドレイン側として高電圧を印加することで、電荷捕獲層112の逆側の位置に電荷eを格納することが出来る。このようにして、電荷捕獲層112の両端にそれぞれ電荷eを注入することで、1つのメモリセルトランジスタに

対して2ビットを格納することが可能になる。これは、電荷捕獲層112の電荷捕獲材料である窒化膜114内では、電荷が移動しないという特性による。

5 注入された電荷（電子）の情報を読み出す場合には、書き込み時にドレイン側であった埋め込み拡散層110を基準電位とし、書き込み時にソース側であった埋め込み拡散層110に読み出し電圧（例えば1.5V）を印加する。また更に、ワード線111に対して読み出しゲート電圧を印加する。このようにして、読み出し動作が実行される。

10 また注入された電荷（電子）を消去する際には、書き込み時にドレイン側であった埋め込み拡散層110に高電圧（例えば5V）を印加すると共に、書き込み時にソース側であった埋め込み拡散層110をフローティング状態とする。この状態で、ワード線111に負の高電圧（例えば-5V）を印加することで、高電圧（例えば5V）と負の高電圧（例えば-5V）との電位差によるトンネル現象により、電荷捕獲層12に捕獲されている電荷（電子）を、高電圧（例えば5V）側に抜き取ることが出来る。これによって、消去動作が実行される。

15 図7に示されるような、1つのメモリセルトランジスタに対して2ビットを格納可能な窒化膜を用いたメモリセルに対しても、上記本発明を適用することが出来る。

20 即ち、セクタ単位で消去する際に、プリプログラム後にメモリセル毎にオーバープログラム状態の検出を行い、オーバープログラムであると判断されたセルに対してはオーバープログラムでなくなるまでイレース処理を実行する。これによって、セクタ単位でイレース処理を適用する前の段階で確実にオーバープログラム状態のメモリセルを無くすることが可能となり、一括消去による過消去を抑制することが出来ると共に、消去後の閾値分布の広がりを抑えて消去時間の増大を避けることが出来る。特に電荷捕獲層として窒化膜を使用しているのでオーバープログラム状態では電荷が空間的広がりを有してしまい、一回の消去動作で空間的に広がった電荷を十分に消去することが出来なくなってしまう。従って、オーバープログラム状態を検出して補正する本発明の構成は、消去時間の増大を抑制する上で極めて効果的である。

25 以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定され

るものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

- 本発明においては、セクタ単位で消去する際に、プリプログラム後にメモリセル毎にオーバープログラム状態の検出を行い、オーバープログラムであると判断されたセルに対してはオーバープログラムでなくなるまでイレース処理を実行する。これによって、セクタ単位でイレース処理を適用する前の段階で確実にオーバープログラム状態のメモリセルを無くすることが可能となり、一括消去による過消去を抑制することが出来ると共に、消去後の閾値分布の広がりを抑えて消去時間の増大を避けることが出来る。
- 5

請求の範囲

1. メモリセル配列と、

5 該メモリセル配列のデータがオーバープログラム状態であるか否かを判定するための比較対象である基準レベルを提供する参照セルを含むことを特徴とする不揮発性半導体記憶装置。

2. 比較回路と、

10 該メモリ配列のデータを該参照セルの基準レベルと比較するように該比較回路を制御し、比較結果がオーバープログラム状態を示すときに該メモリセル配列内のオーバープログラム状態であるメモリセルに対してイレース動作を実行する制御回路
を更に含むことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

15 3. 該制御回路は、該メモリセル配列の消去動作シーケンス中の全ビット書き込みが終了した後に、該メモリ配列のデータを該参照セルの基準レベルと比較するように該比較回路を制御し、比較結果がオーバープログラム状態を示すときに該メモリセル配列内のオーバープログラム状態であるメモリセルに対してイレース動作を実行することを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

20

4. 該メモリセル配列はバーチャルグラウンドアレイ形式で構成されることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

25 5. 該メモリセル配列はフローティングゲートに電荷を蓄えることでデータを記憶するメモリセルトランジスタを含むことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

6. 該メモリセル配列は窒化膜に電荷を蓄えることでデータを記憶するメモリセルトランジスタを含むことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

7. 該メモリセルトランジスタの各々は該窒化膜の両端に電荷を蓄えることで2ビットを独立に記憶可能なことを特徴とする請求項6記載の不揮発性半導体記憶装置。

5

8. メモリ配列内で消去対象領域の全てのメモリセルをプログラムし、

該メモリセルの各々のデータを所定の基準レベルと比較することで該メモリセルがオーバープログラム状態か否かを判定し、

10 オーバープログラム状態と判定されたメモリセルに対してイレース動作を実行してオーバープログラム状態を解消し、

全てのオーバープログラム状態を解消した後に該消去対象領域の該全てのメモリセルをイレースする

各段階を含むことを特徴とする不揮発性半導体記憶装置のデータ消去方法。

15 9. オーバープログラム状態を解消する前記段階は、オーバープログラム状態と判定された個々のメモリセルに対して独立にイレース動作を実行することを特徴とする請求項8記載のデータ消去方法。

20 10. 該基準レベルは、プログラムベリファイ用の基準レベルよりも強いプログラム状態に対応するレベルであることを特徴とする請求項8記載のデータ消去方法。

FIG.1

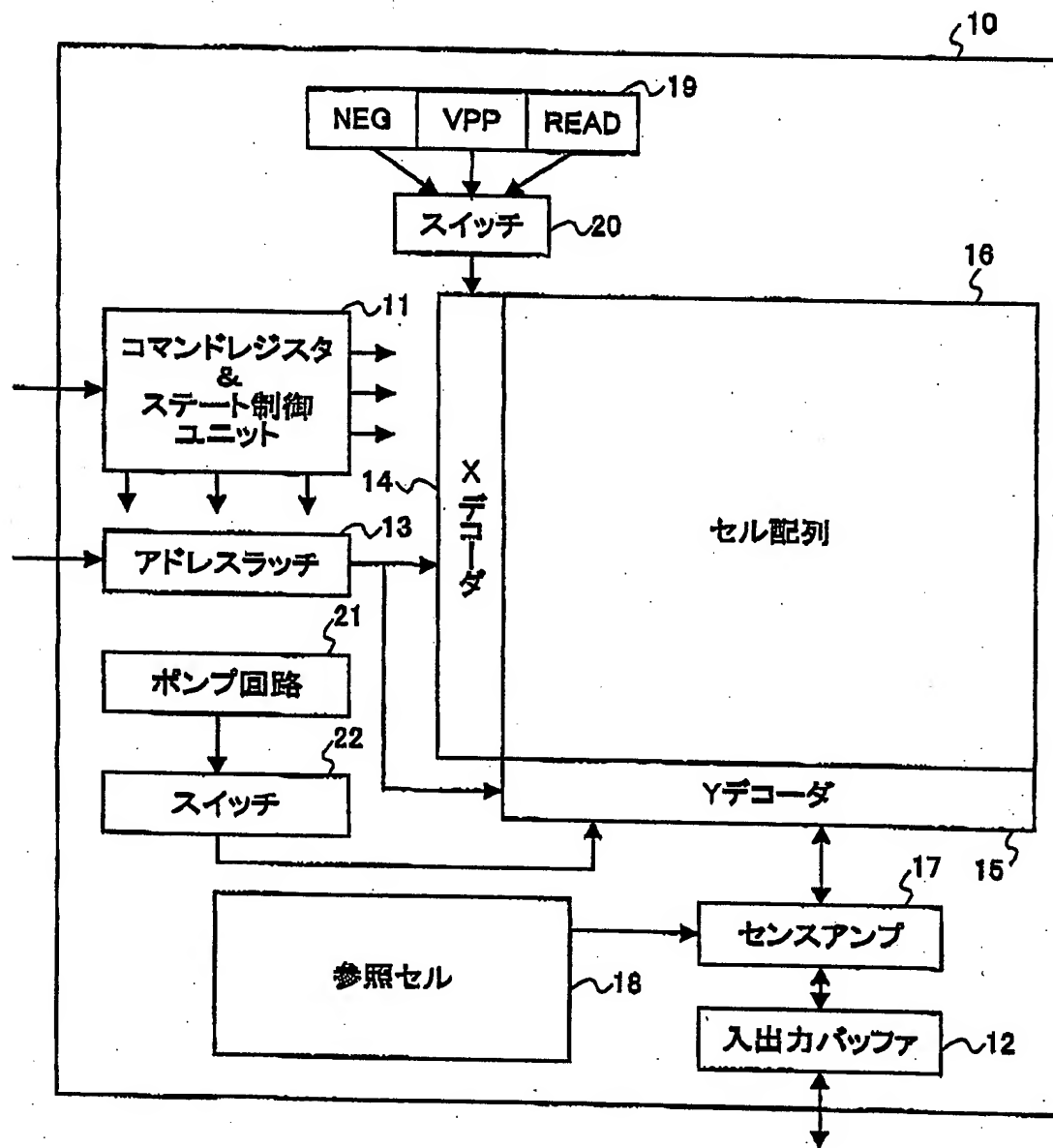


FIG.2

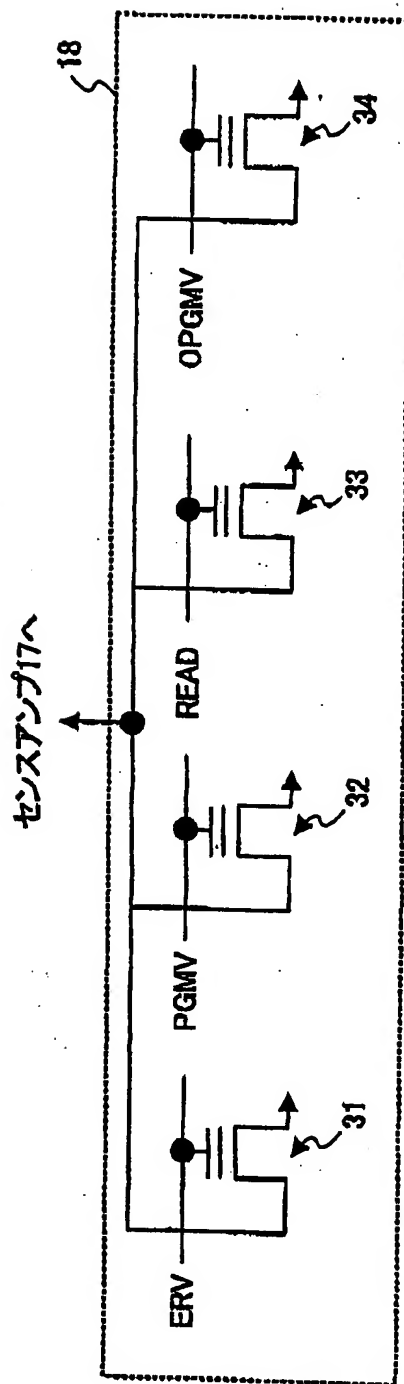


FIG.3

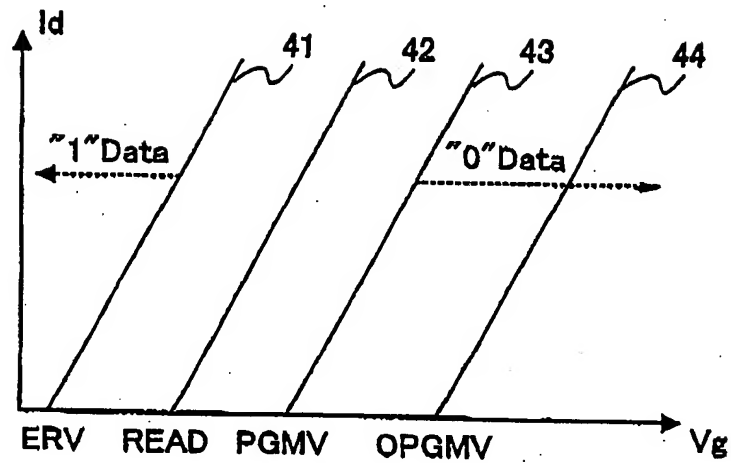


FIG.4

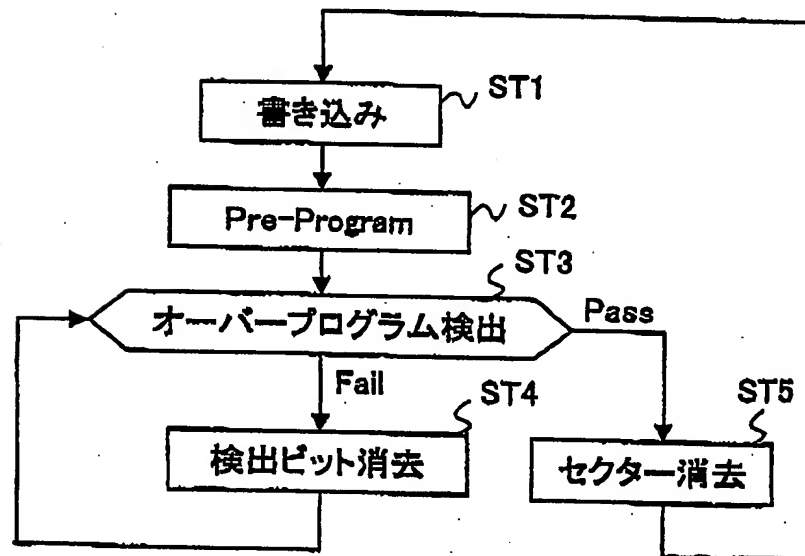


FIG.5

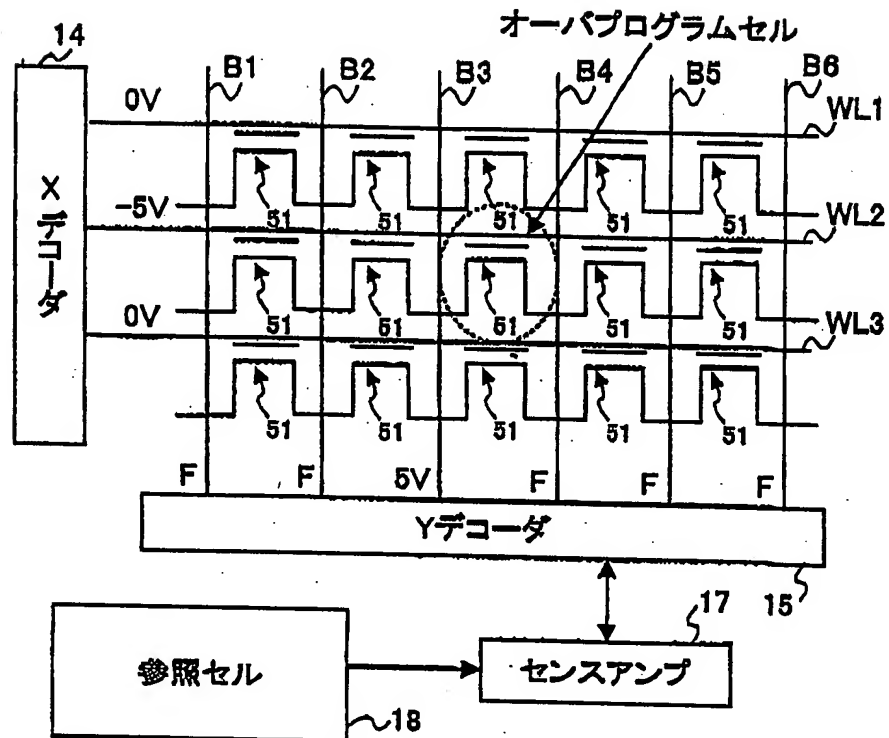


FIG.6

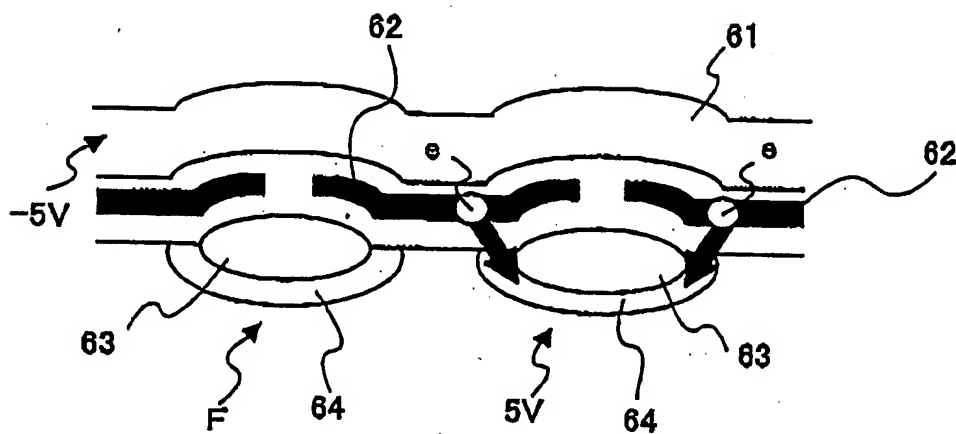
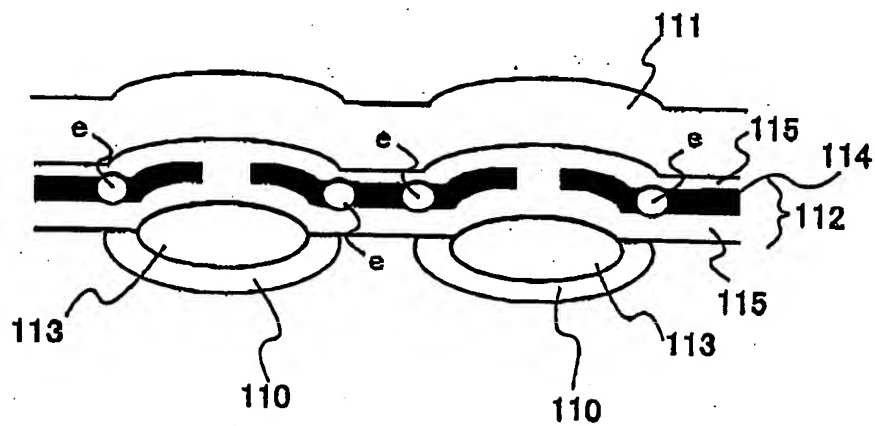


FIG.7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/09109

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G11C16/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G11C16/00 - 16/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US, 5657272, A (NEC Corporation), 12 August, 1997 (12.08.97), Full text; Figs. 1 to 6	1-2, 5
Y	Full text; Figs. 1 to 6	4, 6-7
A	Full text; Figs. 1 to 6 & JP, 8-255489, A	3, 8-10
Y	EP, 0403822, A1 (TEXAS INSTRUMENTS INCORPORATED), 27 December, 1990 (27.12.90), Full text; Figs. 1 to 2 & JP, 3-130995, A	4
Y	JP, 2000-30471, A (Toshiba Microelectronics Corporation), 28 January, 2000 (28.01.00), Full text; Figs. 1 to 9 (Family: none)	6-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"B" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
28 February, 2000 (28.02.00)

Date of mailing of the international search report
13 March, 2001 (13.03.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

国際調査報告

国際出願番号 PCT/JP00/09109

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. G11C16/00, 612

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. G11C16/00 - 16/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2001年
日本国登録実用新案公報 1994-2001年
日本国実用新案登録公報 1996-2001年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	US, 5 6 5 7 2 7 2, A (NEC Corporation) 12. 8月. 1997 (12. 08. 97) 全文, 第1図-第6図 全文, 第1図-第6図 全文, 第1図-第6図 & JP, 8-255489, A	1-2, 5 4, 6-7 3, 8-10
Y	EP, 0 4 0 3 8 2 2, A1 (TEXAS INSTRUMENTS INCORPORATED) 27. 12月. 1990 (27. 12. 90) 全文, 第1図-第2図 & JP, 8-130995, A	4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に関する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

28. 02. 01

国際調査報告の発送日

13.03.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
高橋 宣博



5M 3042

電話番号 03-3581-1101 内線 3597

様式PCT/ISA/210 (第2ページ) (1998年7月)

国際調査報告

国際出願番号 PCT/JP00/09109

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 2000-30471, A (東芝マイクロエレクトロニクス) 28. 1月. 2000 (28. 01. 00) 全文, 第1図-第9図 (ファミリーなし)	6-7

様式PCT/ISA/210 (第2ページの続き) (1998年7月)